

ЦИФРОВИЙ АВТОМАТИЧНИЙ РЕГУЛЯТОР-СТАБІЛІЗАТОР ВИХІДНОЇ НАПРУГИ ТИРИСТОРНОГО ПЕРЕТВОРЮВАЧА

Грудська В.П., доц., Намацалюк І.Н., доц.

КПІ ім. Ігоря Сікорського, кафедра теоретичної електротехніки

Биков Е.Б., Палійчук Р.Ф., студенти

КПІ ім. Ігоря Сікорського, кафедра атомних електростанцій та інженерної теплофізики

Вступ. Стрімкий розвиток засобів цифрової обчислювальної техніки призвів до широкого використання у перетворювальних пристроях цифрових систем керування (СК). На відміну від аналогових цифрові СК реалізують будь-які алгоритми керування тиристорів і забезпечують їх надійну роботу в усіх режимах. Однак більшість відомих цифрових СК містить аналогову ланку, в якій виконується порівняння вихідної напруги з опорною [Л. 1, 2]. Інформація про результат порівняння видається також в аналоговій формі, а це погано узгоджується з цифровим методом її наступної обробки і дискретним характером роботи тиристорів перетворювача. Через ускладнене спряження з сучасними пристроями програмного керування, побудованими на базі мікропроцесорів та мікроЕОМ, знижуються функціональні можливості регулятора. Крім того, точність стабілізації напруги залежить від ретельного підбору за параметрами елементів аналогової ланки. Необхідність такої настройки знижує технологічність виготовлення та наладки, ускладнює експлуатацію пристрою. Отже, наявність аналогової ланки у складі цифрової системи керування слід вважати суттєвим недоліком.

Мета роботи: дослідження схеми автоматичного регулятора – стабілізатора напруги, яка повністю реалізується на цифрових інтегральних елементах.

Результати досліджень. Регулятор (рис. 1) є частиною цифрової СК автономного інвертора з фазовим керуванням (вихідна напруга регулюється зміною кута керування α тиристорів. Виходячи з особливостей функціонування цифрової СК автономного інвертора, автори вважали за доцільне побудувати регулятор за тризонним принципом: “менше”, “норма”, “більше”. У двійковий реверсивний лічильник (ДРЛ) фазозсувного пристрою СК записують число, код якого відповідає поточному значенню кута керування α тиристорів, тобто певній вихідній напрузі. З періодичністю, яка визначається дискретним характером роботи тиристорів, у регуляторі формується зона нечутливості. Поява сигналу з компаратора K в межах цієї зони означає “норму” вихідної напруги, тому регулювання непотрібне. Поява сигналу поза зоною нечутливості відповідає рівням “менше” або “більше” вихідної напруги, і регулятор видає команду на зміну числа, записаного в ДРЛ, тобто зміну кута керування α . Така зміна здійснюється подачею послідовності імпульсів на один із входів ДРЛ. Одночасне керування двома входами неможливе і еквівалентне відсутності сигналів на обох входах лічильника. Узгодження аналогової величини (вихідної напруги) з цифровою структурою СК

здійснюється за допомогою аналого-цифрового перетворювача; визначення величини та знаку відхилення вихідної напруги від заданої уставки – за допомогою спеціального логічного пристрою.

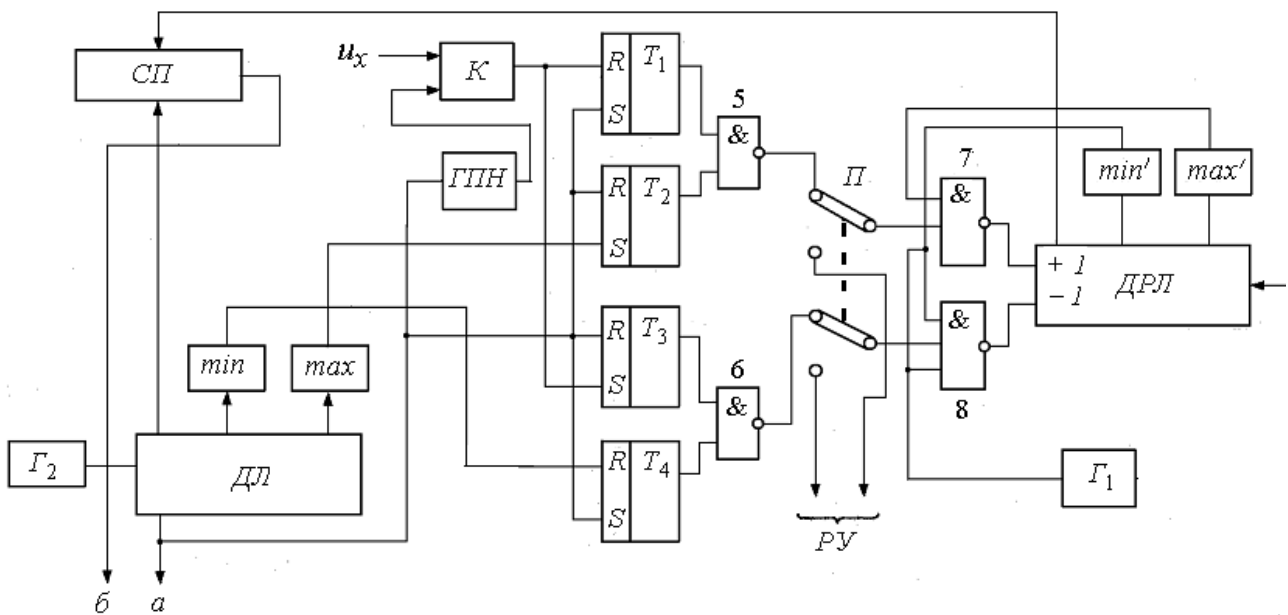


Рисунок 1 – Блок-схема регулятора

Структуру автоматичного регулятора (рис. 1) складають наступні функціональні елементи:

1. Датчик (на рис. 1 не показаний), що перетворює вихідну напругу в пропорційну постійну напругу u_x , узгоджену за рівнем з напругою розгортки.

2. Генератор пилоподібної напруги розгортки u_p (ГПН).

3. Компаратор (К), який видає сигнал у момент рівності значень напруги датчика і напруги розгортки .

4. Блок формування зони нечутливості, до складу якого входять логічні схеми “min”, “max”, тригери $T_1 - T_4$, а також логічні схеми 5 і 6.

5. Перемикач (П) для переходу на ручне керування.

6. Двійковий реверсивний лічильник (ДРЛ), в якому записується число, відповідне поточному куту керування α тиристорів.

7. Генератор імпульсів (G_1), за допомогою якого можна змінювати число, записане у ДРЛ, тобто змінювати кут α .

8. Логічні схеми “min'”, “max'”, які обмежують діапазон керування кута α і, відповідно, вихідної напруги перетворювача. Сигнали з виходів цих схем забороняють надходження імпульсів з генератора G_1 на лічильні входи ДРЛ при досягненні в лічильнику чисел, що визначають границі діапазону регулювання.

9. Логічні схеми 7, 8, які знімають сигнал заборони з певного входу ДРЛ при появі сигналу з компаратора поза зоною нечутливості.

10. Двійковий лічильник (ДЛ) для запуску генератора ГПН і приведення елементів блоку формування зони нечутливості у початковий стан.

11. Генератор лічильних імпульсів (Γ_2).

12. Логічна схема порівняння (СП), яка співставляє числа, записані у лічильниках ДЛ та ДРЛ, і видає сигнал у момент їх збігання.

Розглянемо більш детально процес стабілізації напруги проілюстрований часовими діаграмами на рис. 2, де u_c – синхроімпульси; u_p – напруга розгортки; $u_{вих}$ – вихідна напруга регулятора; u_{min} , u_{max} – вихідні напруги логічних схем “min” і “max” відповідно; u_k – сигнали з компаратора; Q_1-Q_4 – стан “1” тригерів T_1-T_4 ; $\Delta\alpha$ – зміна кута керування α тиристорів.

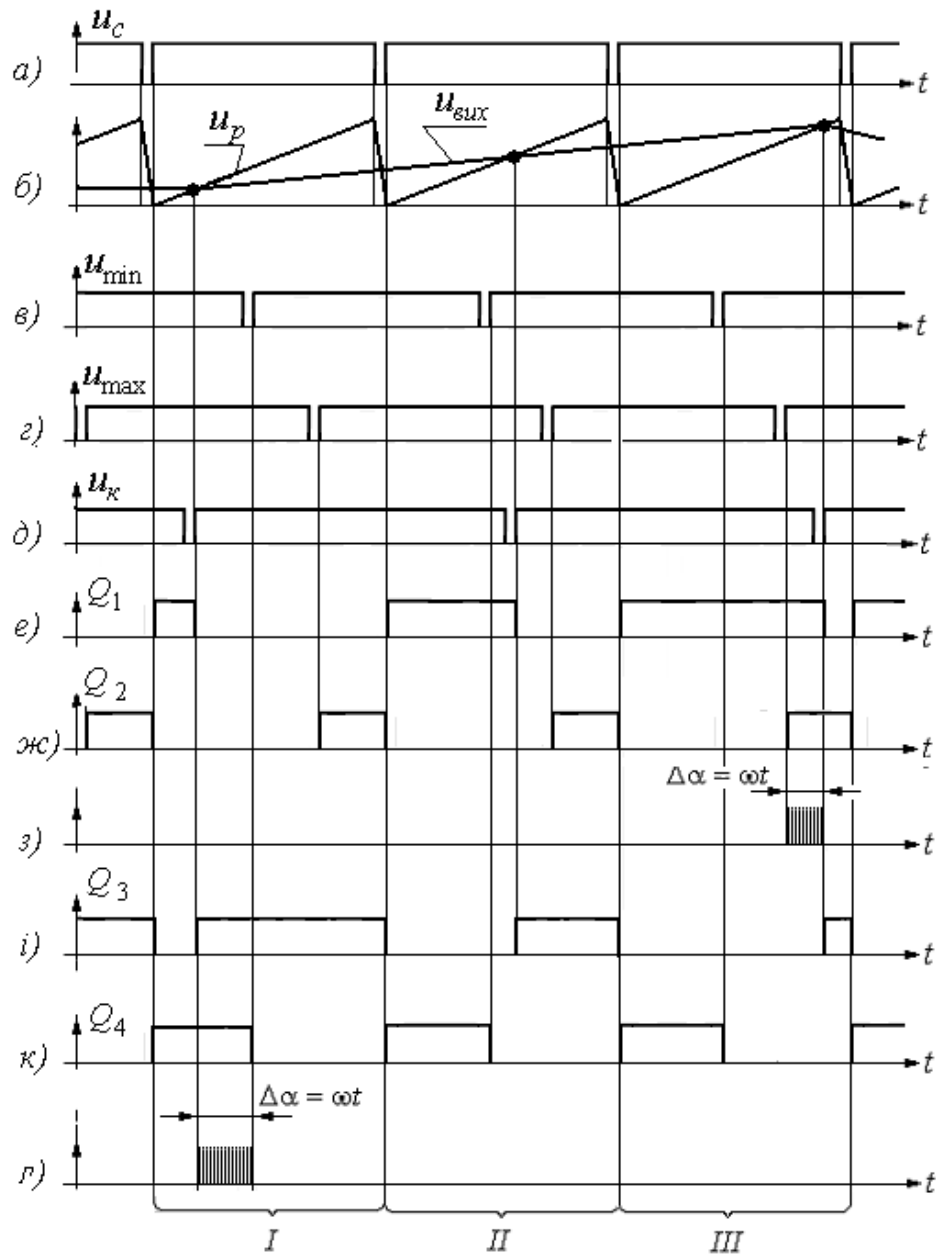


Рисунок 2 – Часові діаграми регулятора

Послідовність імпульсів з генератора Γ_2 подається на двійковий лічильник ДЛ. Періодично в момент установки “0” (цей момент прийнятий за початок відліку) з виходу “а” лічильника знімається синхроімпульс (рис. 2, а).

Він використовується: для формування імпульсу керування тиристорів; для запуску ГПН, який починає з нуля формувати напругу розгортки (рис. 2, б); для приведення елементів блоку формування зони нечутливості у початковий стан: тригерів T_1 і T_4 у стан “1” (синхроімпульс поданий на входи S) (рис. 2, е, к); тригерів T_2 і T_3 – у стан “0” (синхроімпульс поданий на входи R) (рис. 2, ж, і). На виходах логічних схем 5, 6 встановлюються “0” (сигнали заборони).

Послідовність імпульсів, яка поступає з генератора Γ_2 на лічильний вхід ДЛ, збільшує в ньому поточне значення числа від нуля до максимального значення, обмеженого кількістю розрядів лічильника.

Логічна схема СП виконує порівняння чисел у лічильниках ДЛ та ДРЛ, в якому записаний поточний кут керування α . Періодично в момент їх співпадання СП видає на виході “б” сигнал, який використовується для формування імпульсу керування тиристорів.

З тією ж періодичністю при досягненні в ДЛ числа C_1 , відповідного уставці кута α з урахуванням допустимого відхилення у бік зменшення, логічна схема “min” формує сигнал, який переводить тригер T_4 у стан “0”. Аналогічно при досягненні в ДЛ числа C_2 , відповідного уставці кута α з урахуванням допустимого відхилення у бік збільшення, логічна схема “max” переводить тригер T_2 у стан “1”. Таким чином, логічні схеми “min” і “max” на виході ДЛ виділяють із числової послідовності числа C_1 і C_2 , які у вигляді сигналів (рис. 2, в, з) обмежують зону нечутливості Z регулятора;

$$Z = |C_1 - C_2|.$$

Компаратор, куди подаються пилкоподібна напруга розгортки і напруга датчика u_x (рис. 2, б), у момент їх рівності видає сигнал (рис. 2, д), який переводить тригер T_1 у стан “0”, а тригер T_3 – у стан “1”. Сигнали з виходів блоку логічного керування з’являються при співпаданні станів “1” тригерів T_1 і T_2 або T_3 і T_4 . В залежності від моменту подачі сигналу з компаратора на входи R тригера T_1 і S тригера T_3 можливі такі випадки.

I. Сигнал з компаратора K з’являється раніше сигналу зі схеми “min”, що відповідає вихідній напрузі перетворювача нижче норми (потрібне зменшення кута керування α тиристорів).

II. Сигнал з компаратора K з’являється між сигналами зі схем “min” і “max”, що відповідає нормі вихідної напруги перетворювача (регулювання непотрібне).

III. Сигнал з компаратора K з’являється пізніше сигналу зі схеми “max”, що відповідає вихідній напрузі перетворювача вище норми (потрібне збільшення кута керування α).

У першому випадку тригери T_3 і T_4 виявляються у стані “1” (рис. 2, і, к). Логічна схема б фіксує це співпадання і видає сигнал, який знімає заборону на

подачу імпульсів з генератора G_1 на вхід зворотного відліку ДРЛ. При цьому відбувається зменшення числа, записаного у ДРЛ, тобто зменшення кута керування α тиристорів (рис. 2, л). Надходження імпульсів на вхід зворотного відліку ДРЛ припиняється сигналом з логічної схеми “min”, який переводить тригер T_4 у стан “0” (рис. 2, к). Імпульс зі схеми “max” переводить тригер T_2 , що не приймав участі у роботі, з початкового стану “0” у стан “1” (рис. 2, ж).

У другому випадку сигнал з компаратора попадає у зону нечутливості, збігання станів “1” тригерів T_1 і T_2 або T_3 і T_4 відсутнє (рис. 2), тому заборона на входах ДРЛ залишається.

У третьому випадку після надходження сигналу з логічної схеми “max” у стані “1” опиняються тригери T_1 і T_2 (рис. 2, е, ж). Логічна схема 5 на часовий інтервал такого збігання знімає заборону з входу прямого відліку ДРС і дозволяє подачу імпульсів з генератора \tilde{A}_1 . Число, записане у ДРС, зростає, тобто збільшується кут керування α тиристорів (рис. 2, з). Процес надходження імпульсів у ДРС припиняється сигналом з компаратора, який переводить тригер T_1 у стан “0”.

Таким чином, автоматичний регулятор спрацьовує, коли сигнал з компаратора надходить поза зоною нечутливості, яка обмежена сигналами з логічних схем “max” і “min”.

Висновки:

1. Досліджена схема регулятора – стабілізатора забезпечує високу точність стабілізації вихідної напруги завдяки відсутності в ній аналогової ланки. Сутність перетворення аналогової інформації (вихідної напруги) у цифрову полягає у тому, що часовий інтервал збігання стану “1” тригерів T_1 і T_2 або T_3 і T_4 перетворюється у зміну двійкового коду, яким записаний в ДРС кут керування α тиристорів.

2. Точність стабілізації вихідної напруги залежить від стабільності ГПН і ширини зони нечутливості (ЗН), яку можна вибрати досить малою, оскільки за заданої частоти f вона повністю визначається розрядністю n лічильників ДЛ і ДРЛ:

$$t_{з.н} = |C_1 - C_2| / (2^{n+1} \cdot f).$$

3. Регулювання вихідної напруги здійснюється зміною уставки кута керування α тиристорів. Швидкість відпрацювання зміни кута α залежить від частоти надходження імпульсів генератора G_1 , яка обмежується тільки частотними можливостями інтегральних мікросхем.

Перелік посилань

1. Бизиков В.А., Миронов В.Н., Обухов С.Г. Системы управления тиристорными преобразователями. – М.: Энергоиздат, 2001. – 283 с.
2. Приходько Н.Г., Татарин Б.П. Цифрові системи керування на інтегральних мікросхемах. – К.: Наукова думка, 2009. – 104 с.